

## ⑫ 公開特許公報 (A) 昭63-298174

⑬ Int.Cl.

G 01 R 31/28  
H 01 L 21/66

識別記号

厅内整理番号  
H-6912-2G  
Z-6851-5F

⑭ 公開 昭和63年(1988)12月5日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 I C テストシステム

⑯ 特願 昭62-133811

⑯ 出願 昭62(1987)5月29日

⑰ 発明者 植田 基夫 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

⑰ 発明者 長谷川 真平 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

⑰ 発明者 清水 敏行 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

⑰ 出願人 株式会社 アドバンテスト 東京都練馬区旭町1丁目32番1号

⑰ 代理人 弁理士 草野 卓

## 明細書

## 1. 発明の名称

I C テストシステム

## 2. 特許請求の範囲

(1) テストプログラムの実行を制御する上位の処理装置と、

その上位の処理装置により制御され、テストプログラムを行単位でモジュールアクセスする命令、テストステータスを更新する命令を実行する下位の複数の処理装置と、

それら下位の処理装置のいずれかにより制御され、命令の実行に伴って被試験素子に対する試験信号の発生、被試験素子の出力信号の測定を行う複数のハードウェアモジュールとから成る I C テストシステム。

## 3. 発明の詳細な説明

## 「産業上の利用分野」

この発明は多数の入出力端子を有する被試験素子を試験する I C テストシステムに関する。

## 「従来の技術」

第2図は従来の I C テストシステムの構成例を示す図である。 I C テストシステムでは、被試験素子を試験するためのテストシーケンスを記述したプログラムが記憶装置(図示せず)に格納されており、中央処理装置 11 が記憶装置からそのテストプログラムを読み出して順次実行するよう構成され、例えば半導体メモリ素子を試験するためのテスト動作の全てを中央処理装置 11 が制御するようになっている。

中央処理装置 11 には制御線 12 を介してハードウェアモジュール 13A, 13B, 13C ~ 13N が接続されており、中央処理装置 11 がテストプログラムを解読して実行するに伴って出力する制御信号はこれらハードウェアモジュール 13A, 13B, 13C ~ 13N に制御線 12 を通して供給される。図には示さないが被試験素子は数個から数十以上にも及ぶ入出力端子を備えており、ハードウェアモジュール 13A, 13B, 13C ~ 13N はそれらの入出力端子に信号を供給し、また信号を測定するよう制御される。

その制御信号は、例えば、被試験素子の所定の入力端子に対して 5.25V の直流信号を供給するための制御信号であり、この制御信号が供給されると、例えば、ハードウェアモジュール 13A は 5.25V の直流信号を被試験素子の指定された入力端子に対して供給する。

また、中央処理装置 11 が出力する制御信号は例えば信号を測定することを指令する制御信号であり、直流電圧を測定するための例えばハードウェアモジュール 13B は、この制御信号が供給されると、被試験素子の指定された出力端子に接続され、その信号電圧を測定する。

これ等のハードウェアモジュール 13A, 13B, 13C ~ 13N はマイクロプロセッサ 14 が組み込まれていてもよい。汎用の論理素子だけで試験回路を組むと膨大な個数の論理素子を必要としても、論理回路の多くの部分をマイクロプロセッサ 14 で組むことにより回路基板を小型に構成することができる。この場合のマイクロプロセッサ 14 は単なる多數の論理素子の代替えであり、予め決

められたシーケンスの処理をするだけであって、複雑な判断機能を必要とするような使い方はされてない。

#### 「発明が解決しようとする問題点」

中央処理装置はプログラムの解読と実行、つまり、被試験素子の試験を行うための制御信号をハードウェアモジュールなどに出力し、また、被試験素子が出力する信号の測定及び測定結果の良否の判定など、IC テストシステムの動作に必要とされるあらゆる演算制御を行う必要がある。

特に、電流信号入力 - 電圧信号出力特性 (I - V 特性) 或いは電圧信号入力 - 電流信号出力特性 (V - I 特性) などを試験する DC テストは、被試験素子の入出力端子の数が多いだけに高速で且つ正確なタイミングのとれた信号の制御或いは信号の測定が要求される。また例えば、テストプログラムに記述されている 5.25V の信号を被試験素子に供給するにしても、中央処理装置は 5.25V なる電圧値をデジタルデータ値に換算してハードウェアモジュールに供給したり、ハードウェアモジュ

ールが被試験素子に対して信号電圧を実際に出力するタイミングまで演算して与えたりする必要がある。更に、そのハードウェアモジュールの出力特性が直線性からズレている場合には、電圧値を指定するデジタルデータを予め記憶されている補正表を参照して補正処理をしたデジタルデータを出力する必要もある。

また、被試験素子の出力端子からの出力信号を測定するにしても、その信号に合わせてハードウェアモジュールの測定レンジを変更するデータを送ってレンジを変更して信号を測定し、得られた測定値は必要に応じて補正表により補正処理をする。確定した測定値は所定の判定表と比較して、良否の判定をし、或いは良否の程度のランク付けをすることもある。

このようなことを数十以上もの入出力端子について、全てを中央処理装置が処理することを要求されるために、中央処理装置が必要とする演算処理の時間が長くなる。従って、ハードウェアモジュールを介して被試験素子に対する信号出力及び

信号測定のテストの制御が遅くなり、IC テストシステムの試験速度を上げることが困難である。

#### 「問題点を解決するための手段」

この発明では、テストプログラムによるテストシーケンスの内容は高級言語により行単位で記述され、そのテストプログラムを行単位で実行することを上位の処理装置が制御し、そのプログラム行に記述されている制御内容の実際の解読及び実行は、上位の処理装置に制御される下位の複数の処理装置に委ねられ、その下位の各処理装置はプログラム行を解読して専用の命令語体系を用いてハードウェアモジュールへアクセスし或いはテストステータスの更新などを行う。

即ち、それらの下位の各処理装置には、少なくとも 1 つのハードウェアモジュールがそれぞれ接続され、下位の処理装置のプログラム行の解読実行に伴って出力される制御信号の下に、それらハードウェアモジュールは被試験素子に対する試験信号の発生或いは被試験素子が出力する信号の測定をするように構成される。

## 「発明の作用」

この発明の構成によれば、上位の処理装置はテストプログラムの行単位での実行する、を決めるだけで、その実行は下位の複数の処理装置に依頼し、プログラム行に記述されている制御内容の実際の解説及び実行はしない。代わって、そのプログラム行の解説及び実行は下位に接続された専用の複数の処理装置によって分散して行われる。

また、被試験素子の特有な細かな諸条件に捉われることなく、プログラムは行単位で高級言語を用いて簡潔に記述することができ、従って、テストプログラムを作り易く、またプログラム作成時及びその変更時のデバッグが容易である。

## 「実施例」

第1図はこの発明のICテストシステムの実施例を示すブロック図である。この発明のICテストシステムは複数の処理装置が階層構造をとって構成される。即ち、図には示していないが記憶装置に格納されているテストプログラムの実行するを制御する上位の処理装置21と、この上位の処理

装置21に制御バス22を介して接続され、その上位の処理装置21の制御の下にプログラム行を実際に実行する下位の複数の処理装置23A、23B、23C～23Nと、これ等下位の処理装置23A、23B、23C～23Nに制御線24A、24B、24C～24Nを通して制御されるハードウェアモジュール25A、25B、25C～25Nとで階層的に構成される。

即ち、この発明によれば、被試験素子を試験する手順がテストプログラムとして記憶装置に格納される。テストプログラムは試験の手順が行単位で記述される。例えば、被試験素子の入力端子に対する入力条件の設定命令とか出力端子から出力される出力信号の測定命令などがプログラム行単位で簡潔に記述されている。上位の処理装置21はテストプログラムをプログラム行単位で記憶装置から順次読み出し、その読み出したプログラム行について実行するか否かを制御する。

即ち、この上位の処理装置21には下位の複数の処理装置23A、23B、23C～23Nが接

続されており、上位の処理装置21は被試験素子に対するテストの進行状態をみながら読み出したプログラム行を実行するか否かを決め、実行するを決めたプログラム行の実際の実行は下位に接続された処理装置23A、23B、23C～23Nの何れかに委ねる。

各処理装置23A、23B、23C～23Nは被試験素子に供給するテスト信号をハードウェアモジュール25A、25B、25C～25Nを介して制御するに適した専用の処理装置であり、またハードウェアモジュール25A、25B、25C～25Nを介して被試験素子が出力する信号を測定するのに適した専用の処理装置であり、ハードウェアモジュール25A、25B、25C～25Nのいずれかにアクセスしたりテスト状態（端子の接続や測定器の状態）等を変更したりするのに効率のよい命令語体系をもち、マクロ命令化されている。従って、少ない命令語数、例えば1、2命令語数でハードウェアモジュール25A、25B、25C～25Nを制御することが可能にもされて

いる。例えば、下位の処理装置23A、23B、23C～23Nは、ハードウェアモジュール25A、25B、25C～25Nを制御して測定したデータの取り込みと記憶装置への格納を一つの命令で行うことができる。上位の処理装置21がその使われている高級言語体系でハードウェアモジュール25A、25B、25C～25Nについて直接同じ制御をするより数十倍の処理速度が得られる。従って、多数の入出力端子を有する被試験素子に対して与える試験条件を種々に変えて、そのV-I特性やI-V特性などを調べるようなDCテストを高速に且つ正確なタイミング信号を用いて進めることができるとされる。

処理装置23は上位の処理装置21からプログラム行の実行を委嘱されると、そのプログラム行を解説し、プログラム行の実際の実行に入る。つまり、処理装置23は被試験素子に対するテスト信号の入出力をする手順が記述された制御プログラムを、図には示していないが記憶装置に保持しており、与えられたプログラム行の解説結果により

その制御プログラムを読出して、プログラム行に記述されている信号の入出力制御を行う手順を実行する。

それらの手順は、例えば先ず、与えられたプログラム行を解読し、指定されたハードウェアモジュール 25 に対してアクセスする。続いてテストステータスの変更を行う。それは、従来例の入出力処理で説明したように、例えば 5.25V の直流信号を被試験素子に供給するための処理であり、また、被試験素子の出力信号を測定するための処理などである。

また、この発明では、処理装置 23 は、上位の処理装置 21 から実行の委嘱を受けたプログラム行をそのまま実行するだけではなく、プログラム行を解読し、その解読結果に対して、被試験素子に対して予め情報が与えられている機能条件、例えば、最小クロック幅、入力条件、タイミング関係或いは禁止条件などをチェックし、誤った入力信号を与えてしまったり、甚だしくは被試験素子の破損を招くような信号状態に陥らないように制

断しながら被試験素子に試験信号を出力し或いは出力信号の測定を行う制御をするようにプログラムされている。

例えば、被試験素子のテスト中における或るテスト状態 Q1 の時に、次のテスト状態 Q2 にするために、プログラム行で記述された命令として或る入力端子に信号を与えると、その被試験素子が置かれては成らない禁止状態 Q3 に陥ってしまう場合がある。処理装置 23 では、そのプログラム行を実行することにより、被試験素子がそのような禁止状態 Q3 になるか否かを調べ、禁止状態 Q3 を回避するような制御手順を判断してプログラム行を実行する。例えば、処理装置 23 は被試験素子の状態が、状態 Q1 から状態 Q4、状態 Q5 ……を経てプログラム行で記述された状態 Q2 に至るよう制御動作を判断してプログラム行を実行する。

従って、プログラムを作成する際に、逐次その被試験素子の禁止状態 Q3 を考慮に容れながらプログラム行を記述していく必要はなく、予め供給

## 1 1

されている情報を基に処理装置 23 が判断して禁止状態 Q3 に陥ることがないように制御するようにしてある。従って、被試験素子が禁止されている入出力状態になって破壊されたり或いは不定状態に陥ることにより被試験素子が誤動作して誤った試験結果が出ることがないように構成されている。

また、処理装置 23 は与えられた信号の測定は勿論のこと、必要に応じて測定された信号の例えば直線補正とか、対数曲線補正或いは測定レンジの変更なども行うことができる。このように処理して得られた測定データは基準値或いは閾値などと比較され、その良否の判定が行われると共にそれらのデータロギングが行われる。

なお、制御しなければならぬハードウェアモジュール 25 A、25 B、25 C～25 N の回路数に応じて下位の処理装置 23 A、23 B、23 C～23 N の台数は増減する。上位の処理装置 21 は、プログラム行に記述されている試験の実際の実行はしないので、10台或いはそれ以上の下位

## 1 2

の処理装置 23 A、23 B、23 C～23 N を同時に制御することができる。

この発明では、下位の処理装置 23 A、23 B、23 C～23 N がプログラム行を実際に実行した時に出力する入出力制御信号はハードウェアモジュール 25 A、25 B、25 C～25 N に供給される。ハードウェアモジュール 25 A、25 B、25 C～25 N は供給された制御信号に従って被試験素子の別に指定された入力端子に対してテスト信号、例えば 5.25V の直流信号が出力され、或いは被試験素子の指定された出力端子からの信号が測定される。

このハードウェアモジュール 25 A、25 B、25 C～25 N は従来の I C 試験装置と同様にマイクロプロセッサ 26 を含んでいてもよい。このマイクロプロセッサ 26 は、多数の論理素子を書き換えた所謂判断機能のない決められたシーケンスを高速に行うものである。このマイクロプロセッサ 26 は汎用のプロセッサが使用され、GO/NO-GO の動作が予めプログラミングされてい

て、処理装置23からの命令により被試験素子に対する信号の入出力を制御することができる。

以上のようにこの発明では、汎用のプログラム言語が用いられる上位の処理装置21にの下にハードウェアモジュール25を制御するに適する命令語体系を有し、ハードウェアモジュール制御専用の下位の処理装置23A、23B、23C～23Nが配された階層構造とした分散処理システムを構成した。つまり、下位の処理装置23A、23B、23C～23Nは上位の処理装置21の制御の下に、被試験素子に対する試験の実際の処理（被試験素子の入出力端子とハードウェアモジュール25A、25B、25C～25Nとの接続、データの設定、信号の測定とその補正及び良否判定、測定結果の記録等）の全てを実行することで機能の分散化を実現させた。

#### 「発明の効果」

以上に説明したように、従来においては、半導体素子の試験をするに、分割実行が不可能なテストシーケンスを1台の処理装置で処理していたが、

この発明によれば、複数の処理装置を階層構成し、上位の処理装置は専らプログラム行の実行するを制御し、プログラム行の実際の実行は下位の複数の処理装置で行うように構成した。つまり、上位の処理装置は高級言語で記述されたプログラム行の実行の時期の判断と下位の各処理装置への実行の割り当てるICテストシステム全体の有機的動作を制御し、その制御の下に複数の専用の処理装置を配設し、プログラム行の実際の実行はその下位の複数の専用処理装置に分散させる階層構造での制御を探るようにした。このように分散型アーキテクチャによる処理速度の向上と共に、上位の処理装置に対してはプログラミングが容易な高級言語が用いられ、その高級言語を理解し且つ全体的な制御をするに適した言語体系を使用する。また、下位の処理装置は、上位の処理装置から指示されてハードウェアモジュールの高速制御に適した命令語体系を使用したマクロ命令化するようにした。従って、処理装置によるプログラム行の解説から制御信号を出力するまでの処理が非常に

## 15

早くなり、被試験素子に対するテスト、とりわけDCテストを高速に行うことができる。

また、被試験素子に対するテストプログラムは高級言語により行単位で記述することができるるのでテストプログラムの変更やデバッグも容易にできる。

#### 4. 図面の簡単な説明

第1図はこの発明によるICテストシステムの実施例を示す構成図、第2図は従来のICテストシステムの構成例を示す図である。

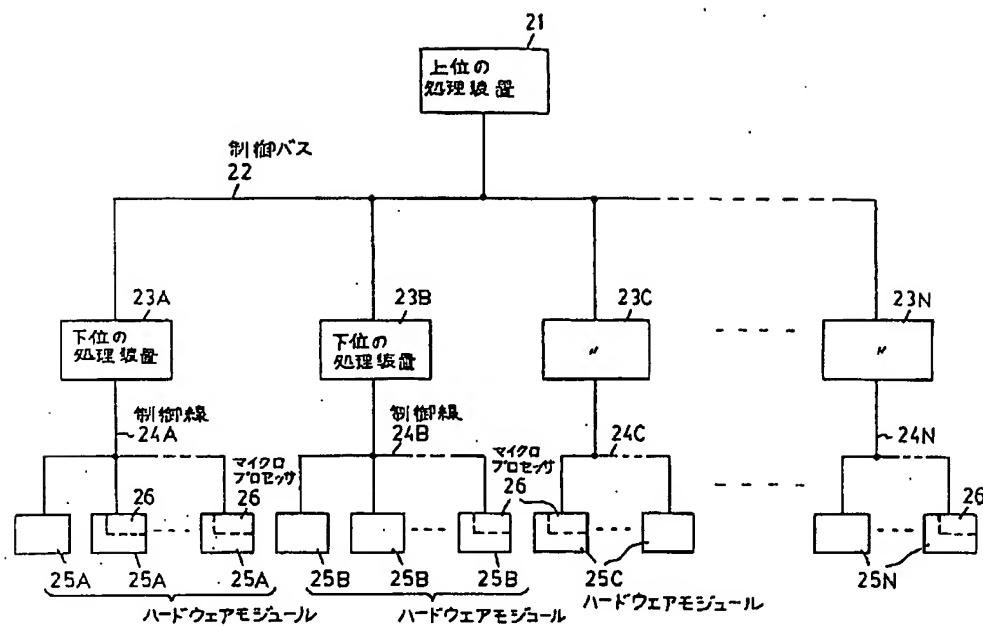
11：中央処理装置、12：制御線、13：ハードウェアモジュール、14：マイクロプロセッサ、21：上位の処理装置、22：制御バス、23：下位の処理装置、24：制御線、25：ハードウェアモジュール、26：マイクロプロセッサ。

## 16

特許出願人 株式会社 アドバンテスト

代理人 草野 崑

ガ 1 図



ガ 2 図

